

## Cadence Technology Day: Virtual Model Prototyping, High Level Synthesis, Synthesis and Digital Implementation

### Программа семинара

(15 октября 2015 г. Санкт-Петербург, Биржевая линия В.О. 14, Университет ИТМО)

9:00-9:30 Регистрация участников семинара

9:30-9:45 Приветствие участников семинара

*(Алиев Тауфик Измайлович, Университет ИТМО, заведующий кафедрой вычислительной техники; Платунов Алексей Евгеньевич, Университет ИТМО, руководитель научно-образовательной лаборатории «Встроенных систем и «систем на кристалле», Борович Антон, Cadence Design Systems Inc., менеджер по развитию бизнеса)*

9:45 – 11:00 Cadence: Virtual Model Prototyping

*(Jens Stellmacher, Cadence Design Systems Inc., Senior Services Manager for System Design & Verification, на английском языке с последовательным переводом)*

Cadence Virtual System Platform является частью интегрированного маршрута проектирования и используется для валидации программно-аппаратных интерфейсов как только описание на уровне регистровых передач (RTL) становится доступным. Предлагая возможность ранней разработки программного обеспечения, увеличенную продуктивность разработчиков и непрерывную валидацию интегрируемости программной и аппаратной компоненты, Virtual System Platform и System Development Suite позволяют сэкономить месяцы времени разработки. Также, часть System Development Suite, Cadence Palladium® XP Verification Computing Platform и Virtual System Platform, формируют гибридное решение Cadence Palladium® Hybrid, которое обеспечивает раннюю валидацию программного обеспечения.

11:00 – 12:00 Cadence: High Level Synthesis

*(Jens Stellmacher, Cadence Design Systems Inc., Senior Services Manager for System Design & Verification, на английском языке с последовательным переводом)*

Cadence® Stratus™ High-Level Synthesis (HLS) автоматически генерирует высококачественный RTL-код для FPGA и ASIC из высокоуровневых описаний на C++/SystemC. Stratus HLS зарекомендовал себя в промышленных проектах по всему миру благодаря прогнозируемому и высококачественным результатам, большому количеству возможностей и большой полноте покрытия дизайна. Продукты, созданные с помощью Stratus HLS, могут быть обнаружены Вами в Вашем доме, автомобиле или в кармане. Узнайте про новейшую технологию высокоуровневого синтеза от Cadence.

12:00 – 12:20 Кофе-брейк

12:20 – 13:05 Cadence: Genus the new synthesis solution

***(Меркелов Фёдор, Cadence Design Systems Inc., старший инженер-консультант по САПР, на русском языке)***

Сложные современные технологические процессы, включая 28 нм, а также основанные на FinFET 20 нм, 16 нм и меньшие нормы бросают серьезный вызов проектировщикам «систем на кристалле». Определенные детали физической реализации должны быть учтены на ранних этапах проектирования для того, чтобы гарантированно завершить проект в нужные сроки. С другой стороны, все ужесточающиеся требования по времени выхода на рынок и существенные сложности самих проектов требуют современных САПР, которые позволяют параллелизовать работу и обеспечить предсказуемость топологических метрик качества результата (QoR) уже на стадии логического синтеза.

На семинаре будет показано то, как решение последнего поколения для синтеза Genus© от Cadence позволяет ответить на эти вызовы, и какую дополнительную функциональность оно содержит для удовлетворения нужд каждого современного проектировщика.

13:05 – 13:50 Cadence: Innovus – state of the art digital implementation

***(Орлов Денис, Cadence Design Systems Inc., инженер по поддержке, на русском языке)***

Система внедрения Innovus предлагает интегрированное решение для маршрута RTL-к-GDSII. Технологии следующего поколения (GigaPlace, CCOpt, GigaOpt, TrackOpt) обеспечивают новый уровень производительности, предлагают лучшие характеристики энергопотребления, площади и использования ресурсов кристалла, быстрое удовлетворение проектных ограничений. Маршрут Enhanced Hierarchical Flow обеспечивает для всех приложений Innovus сокращение времени проектной итерации от месяцев до дней, предоставляя достаточно точный анализ таймингов, площади и перегруженности проводниками (congestion). Integrated Signoff (Tempus/Voltus/Quantus) предлагает 10-кратное ускорение процесса удовлетворения проектных требований.

13:50 – 14:10 Экскурсия по международной научной лаборатории «Архитектура и методы проектирования встраиваемых систем и «систем на кристалле»

14:10 – 15:30 Обед

15:30 – 16:00 АО «Концерн «ЦНИИ «Электроприбор»: Разработка интегральных схем для МЭМС с использованием САПР Cadence

***(Андряков Юрий, АО "Концерн "ЦНИИ "Электроприбор", специалист, на русском языке)***

Область проектирования микроэлектромеханических систем (МЭМС) является актуальной и динамично развивающейся областью электронного дизайна. Научная школа АО «Концерн «ЦНИИ «Электроприбор» в области навигации, гироскопии и управления движением признана в стране и за рубежом, а разработки используются в высокоточной навигации, гироскопии, гравиметрии и оптоэлектронных системах наблюдения.

16:00 – 16:30 Университет ИТМО: Проектирование СнК на ПЛИС с использованием САПР высокоуровневого синтеза

***(Пинкевич Василий, Университета ИТМО, аспирант; Быковский Сергей, Университета ИТМО, аспирант, на русском языке)***

В рамках доклада будут представлены результаты исследований в области высокоуровневого проектирования и высокоуровневого синтеза «систем на кристалле» на кафедре вычислительной техники Университета ИТМО. Будет дан анализ абстракций

высокоуровневого синтеза. Будет показано использование встроенных средств высокоуровневого синтеза САПР Vivado HLS (Xilinx) для задач цифровой обработки сигналов и будет рассказано о перспективных областях использования САПР Stratus HLS (Cadence): совместная разработка функциональных блоков и программного обеспечения (CoDesign), расширение библиотек стандартных функций, переносимость проектов между платформами ПЛИС (Altera, Xilinx) и ASIC.

Также будет представлена оригинальная технология runtime-верификации функциональных блоков «систем на кристалле».

16:30 – 17:30 AMD, Radeon Technologies Group: Графические и гетерогенные процессоры AMD. Архитектура и программирование.

*(д.т.н. Палташев Тимур Турсунович, Advanced Micro Devices, Inc., старший менеджер, на русском языке)*

Гетерогенная системная архитектура (Heterogeneous System Architecture, HSA) – это перспективная разработка фирмы Advanced Micro Devices, Inc (AMD), позволяющая с минимальными усилиями задействовать мощности встроенных графических ядер для параллельных вычислений общего назначения. Приложения, работающие на системах с архитектурой HSA, могут создавать структуры данных в едином для CPU и GPU адресном пространстве и запускать выполнение вычислительных процессов на аппаратуре, наиболее подходящей для той или иной задачи.

Доклад будет посвящен архитектуре новейших графических и гетерогенных процессоров фирмы AMD, а также представлены основные концепции программирования систем с архитектурой HSA.

17:30 – 18:00 Открытое обсуждение